

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Akira TAKAHASHI :
Serial No.: [NEW] : Attn: Applications Branch
Filed: July 16, 2003 : Attorney Docket No.: OKI.548
For: METHOD OF FABRICATING SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

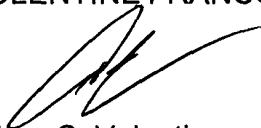
Appln. No. 2003-023452 filed January 31, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: July 16, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application: 2003 年 1 月 31 日

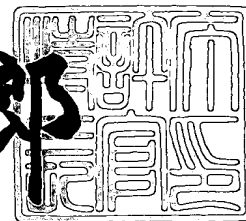
出 願 番 号
Application Number: 特願 2003 - 023452
[ST.10/C]: [J P 2003 - 023452]

出 願 人
Applicant(s): 沖電気工業株式会社

2003 年 5 月 30 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003 - 3041307

【書類名】 特許願

【整理番号】 MA001420

【提出日】 平成15年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/302
H01L 21/308

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 高橋 陽

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体素子上に第 1 の層を形成する工程と、
前記第 1 の層上に、注入された不純物元素の種類及び濃度に応じてエッチングレートが変化する材料で構成された第 2 の層を形成する工程と、
前記第 2 の層に不純物元素を注入する工程と、
前記第 2 の層上に第 3 の層を形成する工程と、
前記第 3 の層に第 1 の開口部を形成する工程と、
前記第 3 の層をマスクとして前記第 2 の層をエッチングして、前記第 2 の層に第 2 の開口部を形成する工程と、
少なくとも前記第 2 の層をマスクとして前記第 1 の層にコンタクトホールを形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記コンタクトホールを形成する工程において用いられる前記マスクが、前記第 2 の層及び前記第 3 の層の積層構造であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 2 の層に不純物元素を注入する工程の後に、前記不純物元素を活性化させるアニール工程を有することを特徴とする請求項 1 又は 2 のいずれかに記載の半導体装置の製造方法。

【請求項 4】 前記第 3 の層に第 1 の開口部を形成する工程において、同じ径を持つ前記第 1 の開口部が複数形成され、

前記第 2 の層に第 2 の開口部を形成する工程において、前記第 2 の開口部が複数形成され、

前記第 1 の層にコンタクトホールを形成する工程において形成される前記コンタクトホールが、大径のコンタクトホールと小径のコンタクトホールとを含むことを特徴とする請求項 1 から 3 までのいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記第 2 の層に不純物元素を注入する工程において、前記第

2 の層の特定領域に前記不純物元素を注入し、前記特定領域以外の領域に前記不純物元素を注入せず、

前記第 3 の層に第 1 の開口部を形成する工程において、複数の前記第 1 の開口部の内の少なくとも一つを前記第 2 の層の特定領域上に形成し、複数の前記第 1 の開口部の内の少なくとも一つを前記第 2 の層の特定領域以外の領域上に形成する

ことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記第 2 の層に不純物元素を注入する工程が、前記第 2 の層の特定領域に第 1 の不純物元素を注入し、前記特定領域以外の領域に前記第 1 の不純物元素とは異なる第 2 の不純物元素を注入する工程であり、

前記第 3 の層に第 1 の開口部を形成する工程において、複数の前記第 1 の開口部の内の少なくとも一つを前記第 2 の層の特定領域上に形成し、複数の前記第 1 の開口部の内の少なくとも一つを前記第 2 の層の特定領域以外の領域上に形成する

ことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 7】 前記第 2 の層に不純物元素を注入する工程において、前記不純物元素が前記第 2 の層の全域に注入されることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 8】 前記第 1 の層が、層間絶縁膜であることを特徴とする請求項 1 から 7 までのいずれかに記載の半導体装置の製造方法。

【請求項 9】 前記第 2 の層が、ポリシリコン層であることを特徴とする請求項 1 から 8 までのいずれかに記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の層が、絶縁材料で構成されたことを特徴とする請求項 1 から 9 までのいずれかに記載の半導体装置の製造方法。

【請求項 11】 前記第 3 の層が、レジスト層であることを特徴とする請求項 1 から 10 までのいずれかに記載の半導体装置の製造方法。

【請求項 12】 前記第 3 の層に第 1 の開口部を形成する工程が、フォトリソグラフィ技術を用いて実行されたことを特徴とする請求項 1 から 11 までのいずれかに記載の半導体装置の製造方法。

【請求項 1 3】 前記不純物元素が、V 族元素又は III 族元素のいずれかであることを特徴とする請求項 1 から 1 2 までのいずれかに記載の半導体装置の製造方法。

【請求項 1 4】 前記第 1 の不純物元素が V 族元素であり、前記第 2 の不純物元素が III 族元素であることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 1 5】 前記半導体素子がゲート、ソース、及びドレインを有し、前記大径のコンタクトホールを前記ゲート上に形成し、前記小径のコンタクトホールを前記ソース上及び前記ドレインのそれぞれの上に形成したことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、層間絶縁膜にコンタクトホールを形成する方法に関する。

【0 0 0 2】

【従来の技術】

半導体装置には、動作の高速化及び低消費電力化のためデザインルールの一層の微細化が求められており、これに伴い、コンタクトホールの径の縮小も求められている。例えば、1 0 0 n m ノード世代のデバイスの場合には、最小で 0. 1 6 μ m 程度までコンタクトホールの径を縮小することが求められている。

【0 0 0 3】

一般に、コンタクトホールは、層間絶縁膜上にレジスト層を形成し、フォトリソグラフィ技術によりレジスト層に開口部を形成し、レジスト層をマスクとして層間絶縁膜をエッチングするという手順により形成される。しかし、コンタクトホールの径を縮小するために最小のデザインルールを用いてマスクを形成する場合には、高価な装置が必要となるため、デバイスの製造コストの増大を招く。そこで、レジスト層及び層間絶縁膜の開口部にサイドウォールを形成することによってコンタクトホールの径を縮小する方法が提案されている（例えば、特許文献

1 参照)。

【 0 0 0 4 】

【特許文献 1】

特開平 0 5 - 2 2 6 2 7 8 号公報 (図 1)

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、サイドウォールを用いる上記方法は、レジスト層及び層間絶縁膜の複数の開口部の径をサイドウォールによって同じ値だけ縮小する方法であるので、同じ径の複数のコンタクトホールを同時に形成する場合に適しているが、異なる径の複数のコンタクトホールを同時に形成する場合には適さない。また、サイドウォールを用いる上記方法において、異なる径の複数のコンタクトホールを同時に形成するためには、レジスト層の各開口部の径を異なる値にしなければならないが、レジスト層の露光プロセスにおいてターゲットとした開口部の径と異なる値の径を持つ他の開口部に寸法不良が生じやすいという問題がある。

【 0 0 0 6 】

本発明の目的は、コンタクトホールの径をマスク開口部の径と異なる値に高精度に調整することができる半導体装置の製造方法を提供することにある。

【 0 0 0 7 】

また、本発明の他の目的は、半導体素子上の同じ層に異なる径の複数のコンタクトホールを同じエッチングプロセスにより形成することができる半導体装置の製造方法を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、半導体素子上に第 1 の層を形成する工程と、第 1 の層上に、注入された不純物元素の種類及び濃度に応じてエッチングレートが変化する材料で構成された第 2 の層を形成する工程と、第 2 の層に不純物元素を注入する工程とを有している。本発明に係る半導体装置の製造方法は、さらに、第 2 の層上に第 3 の層を形成する工程と、第 3 の層に第 1 の開口部を形成する工程と、第 3 の層をマスクとして第 2 の層をエッチングして、第 2 の層に

第2の開口部を形成する工程と、少なくとも第2の層をマスクとして第1の層にコンタクトホールを形成する工程とを有している。

【0009】

【発明の実施の形態】

<第1の実施形態>

図1(a)～(e)は、本発明の第1の実施形態に係る半導体装置の製造方法の各プロセスを概略的に示す断面図である。図1(a)～(e)に基づいて、第1の実施形態に係る半導体装置の製造方法を説明する。

【0010】

先ず、図1(a)に示されるように、シリコン基板1及びゲート2を備えた半導体素子3上に、例えば、CVD法等により層間絶縁膜4及びポリシリコン層5を順に形成する。半導体素子3は、ソース及びドレイン等のアクティブ領域（能動領域）を有する。ここで、半導体素子3の構造は、図示の構造に限定されない。また、層間絶縁膜4は、例えば、酸化シリコン又は窒化シリコン等で形成される。また、ポリシリコン層5は、インプラントされた不純物元素の種類（インプラント種）及び濃度（インプラント濃度）に応じてエッチングレートが変化する性質を持つ。

【0011】

次に、図1(b)に示されるように、ポリシリコン層5上に第1のレジスト層6を塗布し、フォトリソグラフィ技術を用いて第1のレジスト層6をパターニングし、ゲート2上を含む特定領域7のポリシリコン層5を露出させ、特定領域以外の領域8上に第1のレジスト層6を残す。次に、ポリシリコン層5の特定領域7にV族元素（不純物元素）、例えば、As（ヒ素）又はP（リン）等をインプラントする（即ち、注入する）。その後、第1のレジスト層6を除去し、インプラントされた不純物元素を活性化させるため、1000℃程度でアニールする。なお、ポリシリコン層5の特定領域7にV族元素等をインプラントするプロセスに代えて、特定領域以外の領域8にIII族元素をインプラントするプロセスを行ってもよい。

【0012】

次に、図 1 (c) に示されるように、ポリシリコン層 5 上に第 2 のレジスト層 9 を塗布し、フォトリソグラフィ技術を用いて第 2 のレジスト層 9 をパターニングし、特定領域 7 に開口部 1 0 を、特定領域以外の領域 8 に開口部 1 1 を形成する。第 1 の実施形態においては、開口部 1 0 及び 1 1 は同じ径を持つように形成する。このことは、開口部 1 0 及び 1 1 の径を異なる大きさに形成することを禁止するものではなく、開口部 1 0 及び 1 1 の径を同じ大きさに形成しても、ポリシリコン層 5 の開口部 1 2 及び 1 3 を異なる大きさに形成でき、その結果コンタクトホール 1 の径を異なる大きさに形成できるということである。なお、特定領域 7 及び特定領域以外の領域 8 の形状及び範囲、並びに、開口部 1 0 及び 1 1 の数及び配置は、シリコン基板 1 に形成された回路の形状や層間絶縁膜 4 に形成すべきコンタクトホール 1 の数及び配置等の各種条件に基づいて決定すればよい。

【 0 0 1 3 】

次に、図 1 (d) に示されるように、第 2 のレジスト層 9 をマスクとして、ポリシリコン層 5 をエッチングする。エッチングガスとしては、例えば、HBr と O_2 の混合ガス、 O_2 と HBr と He の混合ガス等を用いる。エッチングガスの成分としては、 O_2 、HBr、He の他に、 Cl_2 や CF_4 等を含めることができる。ポリシリコンは、V 族元素のインプラントによりエッチングレートが高く、III 族元素のインプラントによりエッチングレートが低くなる性質を持つ。このため、同じエッチングプロセスによってポリシリコン層 5 の開口部 1 2 及び 1 3 を形成する場合には、図 1 (d) に示されるように、第 2 のレジスト層 9 の開口部 1 1 の真下に形成されたポリシリコン層 5 の開口部 1 3 (図 1 (d) において下側を小径とするテーパ状に描かれている) の径 (層間絶縁膜 4 に接する箇所における径) を、第 2 のレジスト層 9 の開口部 1 0 の真下に形成されたポリシリコン層 5 の開口部 1 2 (図 1 (d) において一定の径を持つ柱状に描かれている) の径 (層間絶縁膜 4 に接する箇所における径) より小径にすることができる。また、特定領域 7 においてポリシリコン層 5 にインプラントされる不純物元素の種類及び濃度を変えることにより、特定領域 7 においてポリシリコン層 5 に形成される開口部 1 2 の形成時間 (エッチング終点検出までの時間) を短縮すれば、特定領域以外の領域 8 においてポリシリコン層 5 に形成される開口部 1 3

の径を縮小できる。逆に、特定領域 7 においてポリシリコン層 5 にインプラントされる不純物元素の種類及び濃度を変えることにより、特定領域 7 においてポリシリコン層 5 に形成される開口部 1 2 の形成時間を長くすれば、特定領域以外の領域 8 においてポリシリコン層 5 に形成される開口部 1 3 の径を増加させることができる。

【 0 0 1 4 】

次に、図 1 (e) に示されるように、ポリシリコン層 5 及び第 2 のレジスト層 9 をマスクとして層間絶縁膜 4 をエッチングして、特定領域 7 におけるポリシリコン層 5 の開口部 1 2 の下に大径のコンタクトホール 1 4 を、特定領域以外の領域 8 におけるポリシリコン層 5 の開口部 1 3 の下に小径のコンタクトホール 1 5 を形成する。なお、第 2 のレジスト層 9 を除去し、ポリシリコン層 5 のみをマスクとすることもできる。大径のコンタクトホール 1 4 は、ゲート 2 上に形成される。小径のコンタクトホール 1 5 は、例えば、ソース及びドレインを含むアクティブ領域上に形成される。その後、コンタクトホール 1 4, 1 5 内を含む領域に金属配線層（図示せず）を形成する。

【 0 0 1 5 】

以上に説明したように、第 1 の実施形態の製造方法によれば、ポリシリコン層 5 にインプラントされる不純物元素の種類及び濃度を調整し、ポリシリコン層 5 に異なる値の径を持つ開口部 1 2 及び 1 3 を形成することにより、コンタクトホール径を高精度に調整することができる。また、第 1 の実施形態の製造方法によれば、層間絶縁膜 4 に異なる径の複数のコンタクトホール 1 4 及び 1 5 を同じエッチングプロセスにより形成することができる。

【 0 0 1 6 】

また、第 1 の実施形態の製造方法におけるように、大径のコンタクトホール 1 4 をゲート 2 上に、小径のコンタクトホール 1 5 をソース及びドレイン上に形成する場合には、チップ面積の縮小に最も有効なソース／ドレイン領域を著しく縮小することができるという利点がある。さらに、設計上及び構造上大径化が可能なゲート 2 上のコンタクトホール 1 4 については、コンタクトホール径の縮小（コンタクトホール内電極の径）の 2 乗（又はコンタクトホール内電極の断面積）

に反比例して増加する抵抗値を低くするという利点がある。

【 0 0 1 7 】

次に、ポリシリコン層にインプラントされる不純物元素の種類及び濃度が、ポリシリコン層のエッチングレートに与える影響を説明する。ポリシリコン層に不純物元素を全面インプラントした場合のエッチングレートの測定結果を以下の表 1 に示す。

【 0 0 1 8 】

【表 1】

不純物の種類及び濃度 (cm^{-2})	終点検出時間 (s e c)
P+ (リン) 5. 0 E 1 5	3 5
インプラント無し	4 5
B+ (ボロン) 5. 0 E 1 5	5 5

【 0 0 1 9 】

表 1 に示されるように、ポリシリコン層に P (リン) を $5. 0 \times 10^{15} \text{ cm}^{-2}$ (表では「5. 0 E 1 5」と表記する。) インプラントした場合にはポリシリコン層のエッチング終点検出は 3 5 s e c で行われ、ポリシリコン層に不純物元素をインプラントしなかった場合にはポリシリコン層のエッチング終点検出は 4 5 s e c で行われ、ポリシリコン層に B (ボロン) を $5. 0 \times 10^{15} \text{ cm}^{-2}$ インプラントした場合にはポリシリコン層のエッチング終点検出は 5 5 s e c で行われた。ポリシリコン層は、P (リン) 等の V 族元素をインプラントした場合にはエッチングレートが高くなり、B (ボロン) 等の III 族元素をインプラントした場合にはエッチングレートが低くなる性質を持つが、表 1 の測定結果は、この性質を裏付けるものである。

【 0 0 2 0 】

また、ポリシリコン層にインプラントされる不純物元素の種類及び濃度が、ポリシリコン層のエッチングレートに与える影響は、本発明の製造プロセスと共通する製造プロセスを含む CMOS デバイスにおけるデュアルゲート加工に際して測定されたデータからも説明できる。デュアルゲート加工とは、ポリシリコンゲート加工前に予め N チャネル領域には As (ヒ素) や P (リン) 等の V 族元素をインプラントし、P チャネル領域には B (ボロン) 等の III 族元素をインプラン

トし、その後、インプラント種の異なるポリシリコン層を同時にゲート加工する手法である。表2にデュアルゲート加工により形成されたゲート構造の寸法測定結果を示す。なお、デュアルゲート加工におけるエッチング条件は、メインステップにおいて、HBr流量100 sccm（立方センチメートル毎分：Standard Cubic Centimeters per Minute）、O₂流量3 sccm、エッチング装置の上部電極印加電力250W、エッチング装置の下部電極印加電力30W、エッチング装置内の気圧8mTorr、エッチング装置内の温度60℃であり、エッチング終点検出によりエッチング処理を終了する。また、オーバーエッチングステップにおけるエッチング条件は、O₂流量2 sccm、HBr流量100 sccm、He流量100 sccm、エッチング装置の上部電極印加電力250W、エッチング装置の下部電極印加電力50W、エッチング装置内の気圧60mTorr、エッチング装置内の温度60℃、エッチング時間60秒である。

【0021】

【表2】

Nチャネル領域		Pチャネル領域		Nチャネル領域及び Pチャネル領域の差	
不純物濃度 DN (cm ⁻²)	ゲート寸法 LN (μm)	不純物濃度 DP (cm ⁻²)	ゲート寸法 LP (μm)	不純物濃度差 DN - (-DP) (cm ⁻²)	ゲート寸法差 LP - LN (μm)
5E15	0.130	5E15	0.167	10E15	0.037
5E15	0.130	2E15	0.161	7E15	0.031
5E15	0.130	インプラント 無し	0.156	5E15	0.026
2E15	0.130	インプラント 無し	0.141	2E15	0.011
インプラント 無し	0.130	インプラント 無し	0.132	0	0.002

【0022】

なお、図2は、Nチャネル領域においてポリシリコン層にインプラントされた不純物元素の濃度DN [cm⁻²] とポリシリコン層のエッチングにより形成されたゲート21（図4に示す）の寸法LN [μm] との関係、及びPチャネル領域においてポリシリコン層にインプラントされた不純物元素の濃度DP [cm⁻²] とポリシリコン層のエッチングにより形成されたゲート22（図4に示す）

の寸法 L_P [μm] との関係のグラフを示す。また、図 3 は、N チャンネル領域及び P チャンネル領域の不純物濃度差 $D_N - (-D_P)$ とゲート寸法差 $L_P - L_N$ [μm] との関係のグラフを示す。また、図 4 は、デュアルゲート加工に際して N チャンネル領域に形成されるゲート 2 1 と P チャンネル領域に形成されるゲート 2 2 とを概略的に示す断面図である。

【 0 0 2 3 】

表 2 及び図 2 乃至図 4 から、ポリシリコン層のエッチングレートは、インプラントされる不純物元素の種類及び濃度に応じて変化することがわかる。また、表 2 及び図 2 乃至図 4 に示される結果は、ポリシリコン層に P (リン) 等の V 族元素をインプラントした場合にはエッチングレートが高くなり、B (ボロン) 等の III 族元素をインプラントした場合にはエッチングレートが低くなる性質を裏付けるものである。

【 0 0 2 4 】

< 第 2 の実施形態 >

図 5 (a) ~ (f) は、本発明の第 2 の実施形態に係る半導体装置の製造方法の各プロセスを概略的に示す断面図である。図 5 (a) ~ (f) において、図 1 (a) ~ (e) に示される構成と同一又は対応する構成には同じ符号を付す。図 5 (a) ~ (f) に基づいて、第 2 の実施形態に係る半導体装置の製造方法を説明する。

【 0 0 2 5 】

先ず、図 5 (a) に示されるように、シリコン基板 1 及びゲート 2 を備えた半導体素子 3 上に、層間絶縁膜 4 及びポリシリコン層 5 を順に形成する。

【 0 0 2 6 】

次に、図 5 (b) に示されるように、ポリシリコン層 5 上に第 1 のレジスト層 3 6 a を塗布し、フォトリソグラフィ技術を用いて第 1 のレジスト層 3 6 a をパターニングし、ゲート 2 上を含む特定領域 3 7 のポリシリコン層 5 を露出させ、特定領域以外の領域 3 8 上に第 1 のレジスト層 3 6 a を残す。次に、ポリシリコン層 5 の特定領域 3 7 に V 族元素 (不純物元素)、例えば、As (ヒ素) 又は P (リン) 等をインプラントする。その後、第 1 のレジスト層 3 6 a を除去する。

【 0 0 2 7 】

次に、図 5 (c) に示されるように、ポリシリコン層 5 上に第 2 のレジスト層 3 6 b を塗布し、フォトリソグラフィ技術を用いて第 2 のレジスト層 3 6 b をパターンニングし、特定領域以外の領域 3 8 のポリシリコン層 5 を露出させ、特定領域 3 7 上に第 2 のレジスト層 3 6 b を残す。次に、ポリシリコン層 5 の特定領域以外の領域 3 8 に III 族元素（不純物元素）、例えば、B（ボロン）等をインプラントする。その後、第 2 のレジスト層 3 6 b を除去し、インプラントされた不純物元素を活性化させるため、1 0 0 0℃程度でアニールする。

【 0 0 2 8 】

次に、図 5 (d) に示されるように、ポリシリコン層 5 上に第 3 のレジスト層 3 9 を塗布し、フォトリソグラフィ技術を用いて第 3 のレジスト層 3 9 をパターンニングし、特定領域 3 7 に開口部 4 0 を、特定領域以外の領域 3 8 に開口部 4 1 を形成する。開口部 4 0 及び 4 1 は同じ径を持つ。特定領域 3 7 及び特定領域以外の領域 3 8 の形状及び範囲、開口部 4 0 及び 4 1 の数及び配置は、シリコン基板 1 に形成された回路の形状、層間絶縁膜 4 に形成すべきコンタクトホールの数及び配置等の各種条件に基づいて決定すればよい。

【 0 0 2 9 】

次に、図 5 (e) に示されるように、第 3 のレジスト層 3 9 をマスクとして、ポリシリコン層 5 をエッチングする。エッチングガス等のエッチング条件は、第 1 の実施形態の場合と同じである。ポリシリコンは、V 族元素のインプラントによりエッチングレートが高くなり、III 族元素のインプラントによりエッチングレートが低くなる性質を持つ。このため、同じエッチングプロセスによってポリシリコン層 5 の開口部 4 2 及び 4 3 を形成する場合には、第 3 のレジスト層 3 9 の開口部 4 1 の真下に形成されたポリシリコン層 5 の開口部 4 3（図 5 (e) において下側を小径とするテーパ状に描かれている）の径（層間絶縁膜 4 に接する箇所における径）を、第 3 のレジスト層 3 9 の開口部 4 0 の真下に形成されたポリシリコン層 5 の開口部 4 2（図 5 (e) において一定の径を持つ柱状に描かれている）の径（層間絶縁膜 4 に接する箇所における径）より小径にすることができる。また、特定領域 3 7 においてポリシリコン層 5 にインプラントされる不

純物元素の濃度及び特定領域以外の領域 3 8 においてポリシリコン層 5 にインプラントされる不純物元素の濃度を変更することにより、特定領域 3 7 においてポリシリコン層 5 に形成される開口部 4 2 の径と、特定領域以外の領域 3 8 においてポリシリコン層 5 に形成される開口部 4 3 の径との比率を自由に調節できる。

【 0 0 3 0 】

次に、図 5 (f) に示されるように、ポリシリコン層 5 及び第 3 のレジスト層 3 9 をマスクとして層間絶縁膜 4 をエッチングして、大径のコンタクトホール 4 4 及び小径のコンタクトホール 4 5 を形成する。なお、第 3 のレジスト層 3 9 を除去し、ポリシリコン層 5 をマスクとして用いることもできる。大径のコンタクトホール 4 4 は、ゲート 2 上に形成されている。小径のコンタクトホール 4 5 は、例えば、ソース及びドレインを含むアクティブ領域上に形成される。その後、コンタクトホール 4 4, 4 5 内を含む領域に金属配線層（図示せず）を形成する。

【 0 0 3 1 】

以上に説明したように、第 2 の実施形態の製造方法によれば、ポリシリコン層 5 にインプラントされる不純物元素の種類及び濃度を調整し、ポリシリコン層 5 に異なる値の径を持つ開口部 4 2 及び 4 3 を形成することにより、コンタクトホール径を高精度に調整することができる。また、第 2 の実施形態の製造方法によれば、層間絶縁膜 4 に異なる径の複数のコンタクトホール 4 4 及び 4 5 を同じエッチングプロセスにより形成することができる。

【 0 0 3 2 】

また、第 2 の実施形態の製造方法によれば、特定領域 3 7 とそれ以外の領域 3 8 の不純物濃度差を大きくすることができるので、コンタクトホール径の寸法差を大きくすることができる。なお、特定領域 3 7 又は特定領域以外の領域 3 8 の一方の不純物濃度を 10^{16} 乗～ 10^{17} 乗程度まで大きくした場合には、Nチャネル領域におけるサイドエッチの発生やPチャネル領域における過剰テーパーによる未開口の発生が懸念される。V族元素及びIII族元素をポリシリコン層 5 の異なる領域にインプラントする第 2 の実施形態の製造方法によれば、V族元素のインプラントによるエッチングレートの低下とIII族元素のインプラントによるエ

ッチングレートの上昇の両方を利用しているので、特定領域にのみ不純物をインプラントする場合に比べて、低い不純物濃度によってコンタクトホール径の寸法差を大きくすることができる。このため、Nチャンネル領域におけるサイドエッチの発生やPチャンネル領域における過剰テーパーによる未開口の発生を抑制できる。

【 0 0 3 3 】

さらに、第2の実施形態の製造方法において、領域37及び38以外に、インプラント無しの領域を追加して設けることによって、さらに異なる径のコンタクトホールを形成することができる。また、不純物元素の濃度を2段階以上に変えることによって、コンタクトホール径の種類をさらに増やすこともできる。

【 0 0 3 4 】

<第3の実施形態>

図6(a)～(e)は、本発明の第3の実施形態に係る半導体装置の製造方法の各プロセスを概略的に示す断面図である。図6(a)～(e)において、図1(a)～(e)に示される構成と同一又は対応する構成には同じ符号を付す。図6(a)～(e)に基づいて、第3の実施形態に係る半導体装置の製造方法を説明する。

【 0 0 3 5 】

先ず、図6(a)に示されるように、シリコン基板1及びゲート2を備えた半導体素子3上に、層間絶縁膜4及びポリシリコン層5を順に形成する。

【 0 0 3 6 】

次に、図6(b)に示されるように、ポリシリコン層5の全域にB（ボロン）等のIII族元素をインプラントする。その後、インプラントされた不純物元素を活性化させるため、1000℃程度でアニールする。

【 0 0 3 7 】

次に、図6(c)に示されるように、ポリシリコン層5上にレジスト層59を塗布し、フォトリソグラフィ技術を用いてレジスト層59をパターニングし、開口部60及び61を形成する。開口部60及び61は同じ径を持つ。また、開口部60及び61の数及び配置は、シリコン基板1に形成された回路の形状、層間

絶縁膜 4 に形成すべきコンタクトホールの数及び配置等の各種条件に基づいて決定すればよい。

【 0 0 3 8 】

次に、図 6 (d) に示されるように、レジスト層 6 9 をマスクとして、ポリシリコン層 5 をエッチングする。エッチングガス等のエッチング条件は、第 1 の実施形態の場合と同じである。ポリシリコンは、III 族元素のインプラントによりエッチングレートが低くなる性質を持つので、ポリシリコン層 5 にレジスト層 5 9 の開口部 6 0 及び 6 1 よりも径の小さい開口部 6 2 及び 6 3 (図 6 (d) において下側を小径とするテーパ状に描かれている) を形成することができる。また、ポリシリコン層 5 にインプラントされる不純物元素の濃度を変えることにより、ポリシリコン層 5 に形成される開口部 6 2 及び 6 3 の径を連続的に調節できる。

【 0 0 3 9 】

次に、図 6 (e) に示されるように、ポリシリコン層 5 及びレジスト層 5 9 をマスクとして層間絶縁膜 4 をエッチングして、コンタクトホール 6 4 及び 6 5 を形成する。コンタクトホール 6 4 は、ゲート 2 上に形成されている。コンタクトホール 6 5 は、例えば、ソース及びドレインを含むアクティブ領域上に形成される。その後、コンタクトホール 6 4, 6 5 内を含む領域に金属配線層 (図示せず) を形成する。

【 0 0 4 0 】

以上に説明したように、第 3 の実施形態の製造方法によれば、マスクとしてのレジスト層 5 9 の開口部 6 0 及び 6 1 の径と異なる値にコンタクトホール 6 4 及び 6 5 の径を高精度に調整することができる。また、インプラント濃度を変えることによって、ポリシリコン層 5 のエッチングレートが変化し、そのエッチング形状が異なるため、レジスト層 5 9 の開口部 6 0 及び 6 1 のやエッチング条件を変更させることなく、エッチング時間のみを固定することによって、コンタクトホール径をインプラント濃度によって制御することができる。このため、コンタクト抵抗等の精度を向上させることができる。

【 0 0 4 1 】

＜変形例＞

なお、上記第 1 乃至第 3 の実施形態においては、不純物元素のインプラントによってエッチングレート进行调整できる材料としてポリシリコンを用いた場合を説明したが、ポリシリコンに代えて、注入された不純物元素の種類及び濃度に応じてエッチングレートが変化する性質を持つ他の絶縁材料（酸化シリコン、窒化シリコン、 SiOC 、 SiOCH_3 、 SiOF 等）を用いることも可能である。

【0042】

また、上記第 1 乃至第 3 の実施形態においては、MOS型トランジスタのゲート上又はアクティブ領域上の層間絶縁膜 4 にコンタクトホールを形成する方法を説明したが、本発明の製造方法によるコンタクトホールの形成位置はこれらの位置に限定されない。

【0043】

また、上記第 1 乃至第 3 の実施形態においては、層間絶縁膜が単一の層である場合を説明したが、層間絶縁膜は多層構造であってもよい。

【0044】

また、上記第 1 乃至第 3 の実施形態（図 1（d）、図 5（e）、図 6（d）等）においては、ポリシリコン層 5 に形成される開口部 13、43、62、63の形状を層間絶縁膜 4 側を小径としたテーパー状に描いているが、エッチング処理の条件を変化させた場合、例えば、メインステップとオーバーエッチングステップを含む場合には、図 7 に示されるように、メインステップによるエッチング部分 71（柱状部分）とオーバーエッチングステップによるエッチング部分 72（テーパー状部分）とが形成される。

【0045】

【発明の効果】

以上に説明したように、本発明によれば、第 2 の層にインプラントされる不純物元素の種類及び濃度を調整することにより、第 3 の層の開口部の径と異なる値にコンタクトホールの径を高精度に調整することができるという効果がある。

【0046】

また、本発明によれば、同じ層に異なる径の複数のコンタクトホールを同じエ

ッチングプロセスにより形成することができるという効果がある。

【図面の簡単な説明】

【図 1】 (a) ～ (e) は、本発明の第 1 の実施形態に係る半導体装置の製造方法の各プロセスを概略的に示す断面図である。

【図 2】 N チャネル領域及び P チャネル領域のそれぞれにおいてゲートを構成するポリシリコン層にインプラントされた不純物元素の濃度とポリシリコン層のエッチングにより形成されたゲートの寸法との関係のグラフを示す。

【図 3】 不純物濃度差とゲート寸法差との関係のグラフを示す。

【図 4】 デュアルゲート加工に際して N チャネル領域に形成されるゲートと P チャネル領域に形成されるゲートとを概略的に示す断面図である。

【図 5】 (a) ～ (f) は、本発明の第 2 の実施形態に係る半導体装置の製造方法の各プロセスを概略的に示す断面図である。

【図 6】 (a) ～ (e) は、本発明の第 3 の実施形態に係る半導体装置の製造方法の各プロセスを概略的に示す断面図である。

【図 7】 ポリシリコン層の開口部の他の例を概略的に示す断面図である。

【符号の説明】

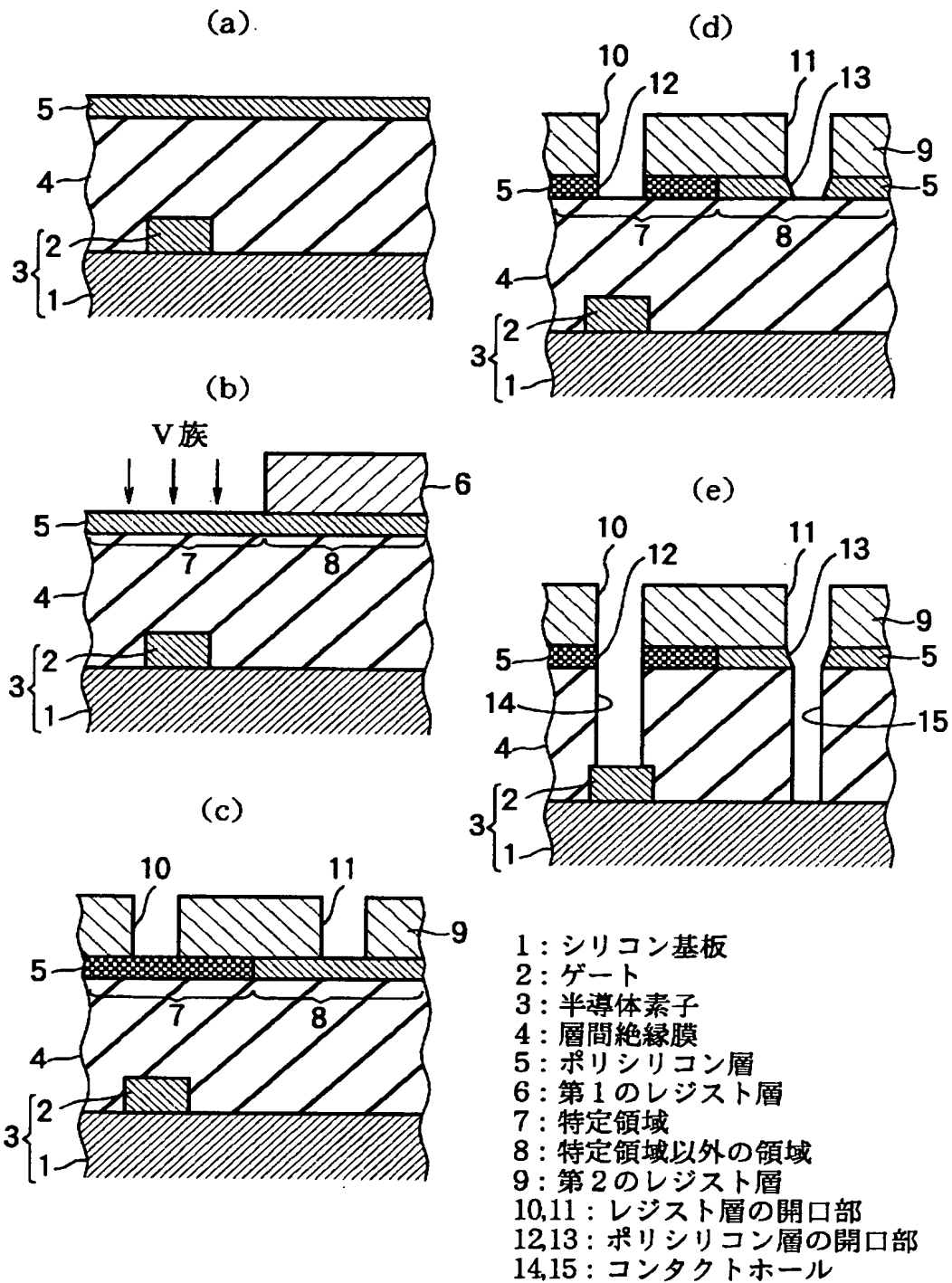
- 1 シリコン基板、
- 2 ゲート、
- 3 半導体素子、
- 4 層間絶縁膜、
- 5 ポリシリコン層、
- 6 第 1 のレジスト層、
- 7, 37 特定領域、
- 8, 38 特定領域以外の領域、
- 9 第 2 のレジスト層、
- 10, 40, 60 ゲート上のレジスト層の開口部、
- 11, 41, 61 アクティブ領域上のレジスト層の開口部、
- 12, 42, 62 ゲート上のポリシリコン層の開口部、
- 13, 43, 63 アクティブ領域上のポリシリコン層の開口部、

- 1 4, 4 4, 6 4 ゲート上のコンタクトホール、
- 1 5, 4 5, 6 5 アクティブ領域上のコンタクトホール、
- 3 6 a 第 1 のレジスト層、
- 3 7 b 第 2 のレジスト層、
- 3 9 第 3 のレジスト層、
- 5 9 レジスト層。

【書類名】

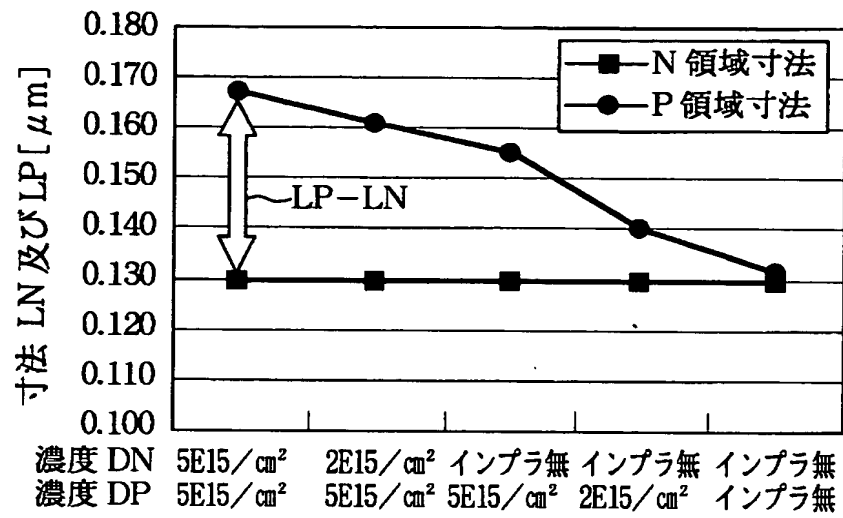
図面

【図 1】

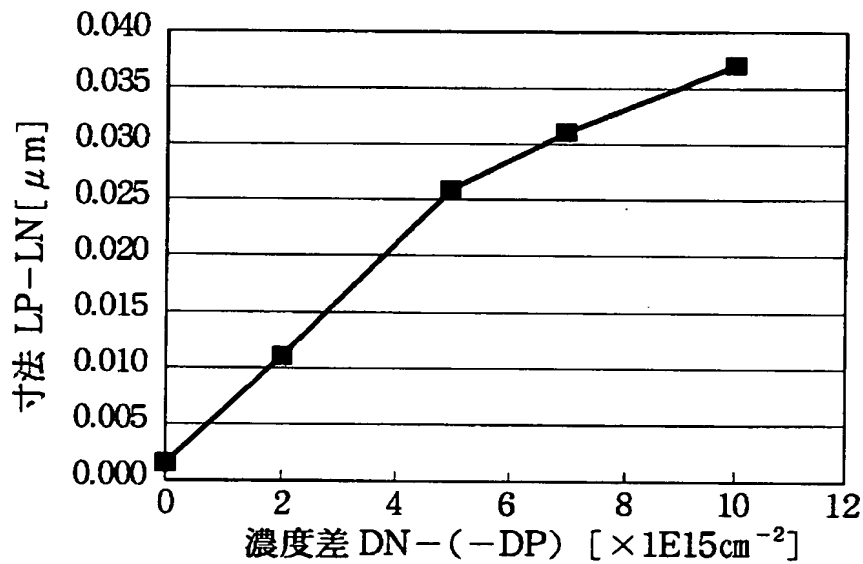


第 1 の実施形態

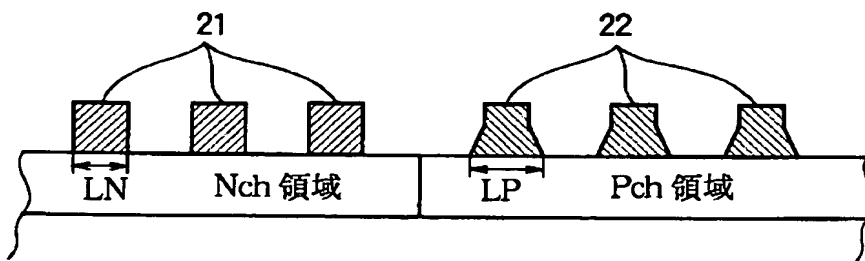
【図 2】



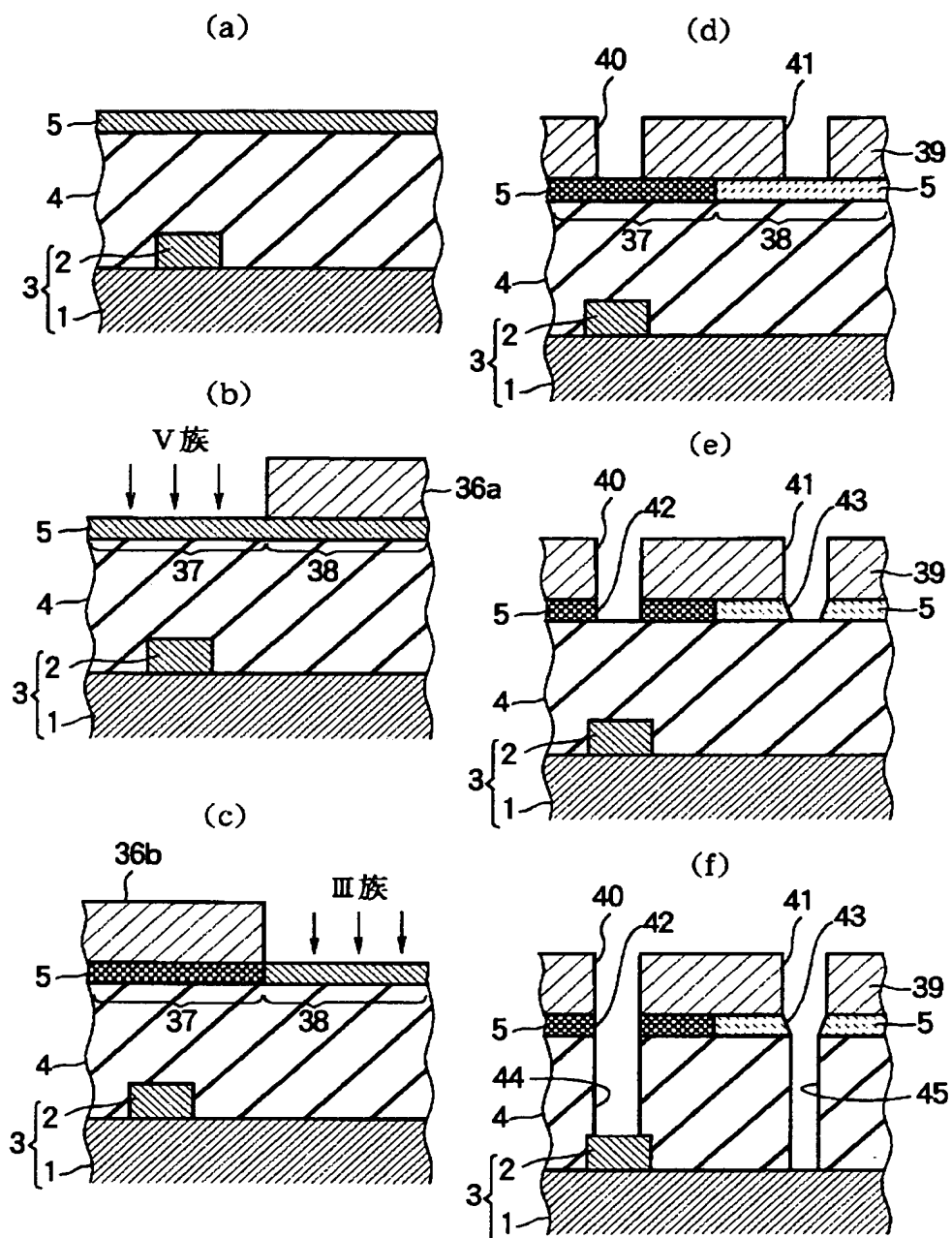
【図 3】



【図 4】

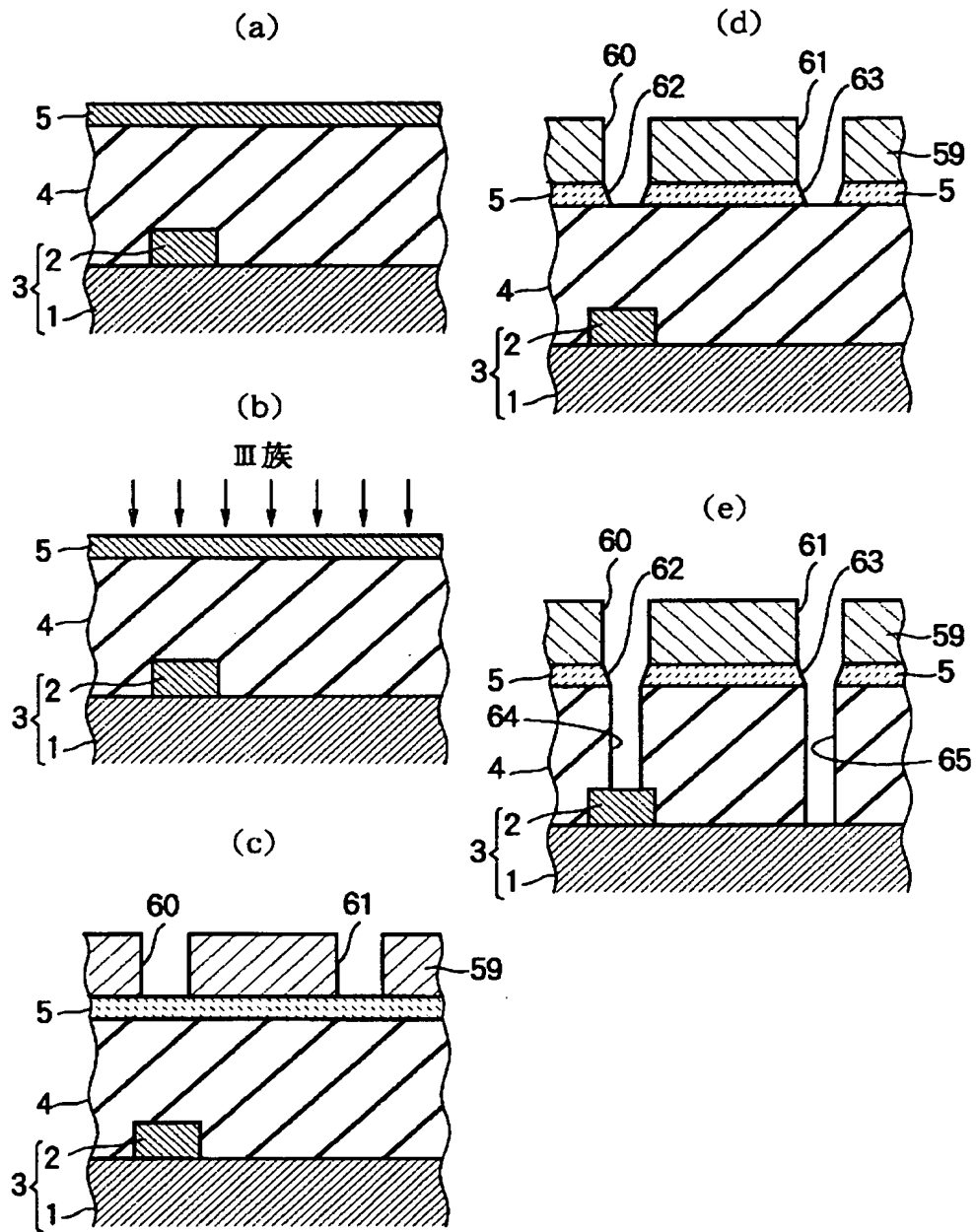


【図 5】



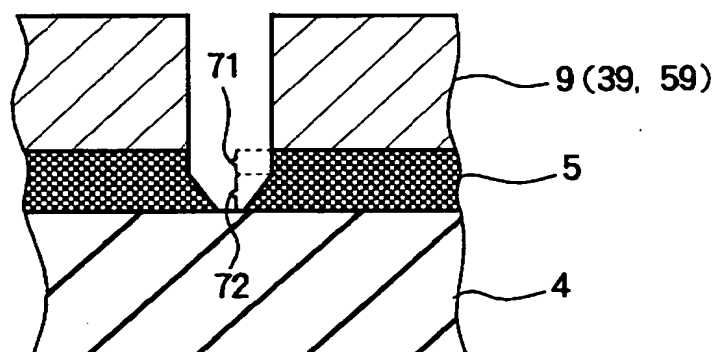
第 2 の実施形態

【図 6】



第 3 の実施形態

【図 7】



【書類名】 要約書

【要約】

【課題】 コンタクトホール1の径をマスク開口部の径と異なる値に高精度に調整する。また、半導体素子上の層に異なる径の複数のコンタクトホールを同じエッチングプロセスにより形成する。

【解決手段】 半導体素子3上に層間絶縁膜4を形成する工程と、その上にポリシリコン層5を形成する工程と、ポリシリコン層5の特定領域7に不純物元素を注入する工程と、ポリシリコン層5上に第2のレジスト層9を形成する工程と、第2のレジスト層9に同じ値の径を持つ開口部10, 11を形成する工程と、第2のレジスト層9をマスクとしてポリシリコン層5をエッチングして特定領域7の開口部12と特定領域以外の領域8の開口部13を形成する工程と、ポリシリコン層5及び第2のレジスト層9をマスクとして層間絶縁膜4に大径のコンタクトホール14と小径のコンタクトホール15を形成する工程とを有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社